

METHOD FOR MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT, SEMICONDUCTOR ELEMENT MEMBER, ELECTRO-OPTICAL DEVICE AND ELECTRONIC APPARATUS

Patent number: JP2003203898
Publication date: 2003-07-18
Inventor: KONDO TAKAYUKI
Applicant: SEIKO EPSON CORP
Classification:
- international: H01L21/306; H01L21/336; H01L29/786; H01L21/02;
H01L29/66; (IPC1-7): H01L21/306; H01L21/336;
H01L29/786
- european:
Application number: JP20010401572 20011228
Priority number(s): JP20010401572 20011228

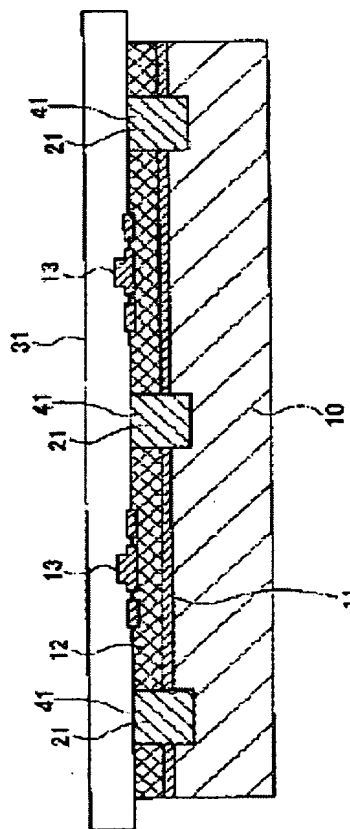
Report a data error here

Abstract of JP2003203898

PROBLEM TO BE SOLVED: To provide a method for manufacturing semiconductor integrated devices, semiconductor element members, electro-optical devices and electronic devices in which wastefulness in the manufacturing process of an integrated circuit can be decreased, and joining of a semiconductor element to a member can be executed by positioning with high density and high accuracy.

SOLUTION: A semiconductor device (semiconductor element) 13 is formed on a substrate 10, having a sacrificial layer 11 which is a layer to be removed by etching, in the lowermost layer, and an isolation trench 21, having a depth reaching the sacrificial layer 11, is formed on a surface of the substrate 10. An intermediate transfer film 31 is adhered to the surface of the substrate 10, and a selective etching agent 41 is injected into a space enclosed with the isolation trench 21 and the intermediate transfer film 31, and the sacrificial layer 11 is etched to cut off a semiconductor device 13 from the substrate 10.

COPYRIGHT: (C)2003,JPO



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-203898

(P 2 0 0 3 - 2 0 3 8 9 8 A)

(43) 公開日 平成15年7月18日(2003.7.18)

(51) Int. Cl. ⁷

識別記号

F I

テ-マコード (参考)

H01L 21/306

H01L 21/306

C 5F043

21/336

29/78

627

D 5F110

29/786

審査請求 未請求 請求項の数16 O L (全16頁)

(21) 出願番号 特願2001-401572(P 2001-401572)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22) 出願日 平成13年12月28日(2001.12.28)

(72) 発明者 近藤 貴幸

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100089037

弁理士 渡邊 隆 (外2名)

Fターム(参考) 5F043 AA16 BB10 DD25

5F110 AA30 BB02 DD01 DD02 DD03

DD04 DD05 DD12 DD13 GG02

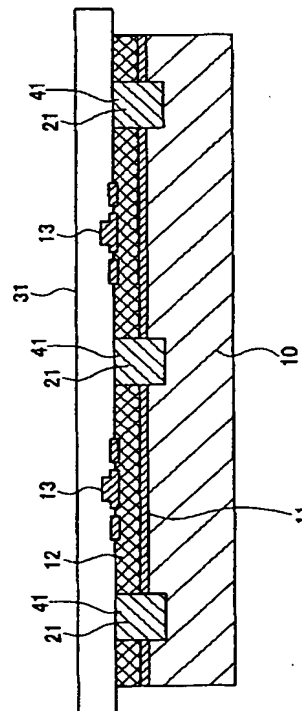
GG04 NN72 QQ16

(54) 【発明の名称】 半導体集積回路の製造方法、半導体素子部材、電気光学装置、電子機器

(57) 【要約】

【課題】 集積回路の製造プロセスにおける無駄を低減することができるとともに、半導体素子と部材との接合を高密度かつ高精度な位置決めで実行することを可能とする半導体集積回路の製造方法、半導体素子部材、電気光学装置、電子機器の提供を目的とする。

【解決手段】 エッチングによって除去することが可能な層である犠牲層11を最下層に有する基板10上に、半導体デバイス(半導体素子)13を形成し、基板10の表面に、犠牲層11に到達する深さをもつ分離溝21を形成し、基板10の表面に、中間転写フィルム31を貼り付け、分離溝21と中間転写フィルム31で囲まれた空間に選択エッチング液41を注入して、犠牲層11をエッチングすることで、半導体デバイス13を基板10から切り離す。



【特許請求の範囲】

【請求項 1】 犠牲層を有する半導体基板に半導体素子を形成し、

少なくとも前記犠牲層に到達する深さを有する分離溝を前記半導体基板に形成し、

前記半導体基板にフィルムを貼付し、

前記分離溝にエッチング液を注入し、前記犠牲層をエッチングすることにより前記フィルムが貼付された前記半導体素子を前記半導体基板から離す、

ことを特徴とする半導体集積回路の製造方法。

【請求項 2】 前記エッチング液の注入は、

前記フィルムにおける前記半導体素子との接触面の反対側の面側に前記エッチング液を供給し、

当該反対側の面側に供給されたエッチング液を、当該接触面側にある前記分離溝と当該フィルムで囲まれた空間に移動させることで行う、

ことを特徴とする請求項 1 に記載の半導体集積回路の製造方法。

【請求項 3】 前記エッチング液の注入は、

前記フィルムにおける前記半導体素子との接触面の反対側の面側に前記エッチング液を供給し、

当該反対側の面側に供給されたエッチング液を、当該フィルムに空けられた穴を通して、当該接触面側にある前記分離溝と当該フィルムで囲まれた空間に移動させることで行う、

ことを特徴とする請求項 1 に記載の半導体集積回路の製造方法。

【請求項 4】 前記エッチング液を注入したときに、

前記フィルムにおける前記半導体素子との接触面に対して前記エッチング液が及ぼす第 1 圧力と、

当該フィルムにおける当該接触面の反対側の面に対して前記エッチング液が及ぼす第 2 圧力とを、制御する、

ことを特徴とする請求項 2 又は 3 に記載の半導体集積回路の製造方法。

【請求項 5】 前記第 1 圧力と前記第 2 圧力とを略同一にする、

ことを特徴とする請求項 4 に記載の半導体集積回路の製造方法。

【請求項 6】 前記フィルムにおける前記半導体素子との接触面側の気圧を減圧させた状態で前記エッチング液の注入をする、

ことを特徴とする請求項 2 乃至 5 のいずれか一項に記載の半導体集積回路の製造方法。

【請求項 7】 前記分離溝は、前記半導体基板に複数形成され、

当該複数の分離溝は複数サイズを有している、

ことを特徴とする請求項 1 乃至 6 のいずれか一項に記載の半導体集積回路の製造方法。

【請求項 8】 前記エッチング液を注入した後に、前記フィルムに別のフィルムを貼り合わせる、

ことを特徴とする請求項 1 乃至 7 のいずれか一項に記載の半導体集積回路の製造方法。

【請求項 9】 前記半導体基板に、一端が前記分離溝に繋がり、他端が当該半導体基板の縁に達する排出溝を形成した後、エッチングを行う、

ことを特徴とする請求項 1 乃至 8 のいずれか一項に記載の半導体集積回路の製造方法。

【請求項 10】 前記半導体基板に、前記分離溝に繋がっている供給溝を形成した後、エッチングを行う、

10 ことを特徴とする請求項 9 に記載の半導体集積回路の製造方法。

【請求項 11】 前記供給溝は、前記分離溝よりも大きく形成されている、

ことを特徴とする請求項 10 に記載の半導体集積回路の製造方法。

【請求項 12】 請求項 1 乃至 11 のいずれか一項に記載の半導体集積回路の製造方法によって前記半導体基板から切り離された前記半導体素子からなる、

ことを特徴とする半導体集積部材。

20 【請求項 13】 請求項 12 に記載の半導体集積部材を備えたことを特徴とする電気光学装置。

【請求項 14】 前記電気光学装置は、マトリクス状に形成された複数の走査線及び複数のデータ線と、前記走査線とデータ線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを有することを特徴とする請求項 13 に記載の電気光学装置。

【請求項 15】 前記電気光学装置は、発光素子を有することを特徴とする請求項 13 に記載の電気光学装置。

30 【請求項 16】 請求項 13 乃至 15 のいずれか一項に記載の電気光学装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路の製造方法、半導体素子部材、電気光学装置、電子機器に関する。特に、ある半導体素子を当該半導体素子の材質とは異なる材質の部材（例えば、基板）上に接合する方法に関する。

【0002】

40 【従来の技術】シリコン半導体基板上に、ガリウム・ヒ素製の面発光レーザ（VCSEL）、フォトダイオード（PD）又は高電子移動度トランジスタ（HEMT）などを設けたり、液晶ディスプレイ（LCD）の各画素の薄膜トランジスタ（TFT）の代わりに微小シリコントランジスタをガラス基板へ貼り付けるといような、半導体素子を材質の異なる基板上に形成する技術が考えられている。

50 【0003】このような材質の異なる半導体を有する集積回路としては、オプトエレクトロニクス集積回路（OEIC）が挙げられる。オプトエレクトロニクス集積回

路は、光による入出力手段を備えた集積回路である。集積回路内での信号処理は電気信号を用いて行うが、集積回路の外との入出力は光信号を用いて行う。

【0004】

【発明が解決しようとする課題】ところで、コンピュータでは、集積回路の内部構造の微細化により、CPU内部の動作速度（動作クロック）が年々向上している。しかし、バスにおける信号伝達速度はほぼ限界に達しつつあり、コンピュータの処理速度のボトルネックとなっている。このバスにおける信号伝達を光信号で行うことができれば、コンピュータの処理速度の限界を著しく高めることが可能となる。これを実現するためには、シリコンで作られる集積回路に微小な発光・受光素子を内蔵させる必要がある。

【0005】しかしながら、シリコンは、間接遷移型半導体であるため発光することができない。そこで、シリコンと、シリコンとは別の半導体発光素子とを組み合わせることで集積回路を構成することが必要となる。ここで、半導体発光素子として有望であるものは、ガリウム・ヒ素（GaAs）などの化合物半導体からなる面発光レーザ（VCSEL）である。しかし、面発光レーザは、シリコンと格子整合しないため、エピタキシーなどの半導体プロセスによって直接にシリコン集積回路上に形成することが非常に困難である。通常、面発光レーザは、ガリウム・ヒ素基板上に形成される。そこで、ガリウム・ヒ素基板上の面発光レーザをチップ化して、このチップを機械的にシリコン集積回路基板に実装することで、電気信号伝達回路と光信号伝達回路を融合する方法が考えられている。

【0006】一方、集積回路が形成される半導体基板の面積を無駄にしないためにも、また、融合後の取扱いのし易さのためにも、集積回路上における面発光レーザ素子のチップサイズは可能な限り小さいことが望ましい。できればモノリシックで集積回路を形成した場合と同じ程度の寸法＝（厚さ数 μm ×面積数十 μm^2 ）にしたい。しかし、従来の半導体実装技術では、ハンドリングできるチップサイズが（厚さ数十 μm ×面積数百 μm^2 ）以上のサイズとなっている。

【0007】これらに対して、第1の先行文献（雑誌、「エレクトロニクス」、2000年10月号、37頁～40頁）及び第2の先行文献（雑誌、「電子情報通信学会論文誌」、2001/9、Vol. J84-C、No. 9）に記載されている技術がある。これらの先行文献の技術は、先ず、基板を研磨することで除去し、半導体素子となる極表層の機能層（数 μm ）だけを別の保持基板へ転写してハンドリング及びフォトリソグラフィ技術で所望の大きさに整形し、最終基板へ接合するものである。これで、最終基板の所望の位置に目的の半導体素子となる厚さ数 μm の半導体層（機能層）が形成される。これを通常の半導体プロセスで加工し、電極などを付け

て完成させる。

【0008】これら第1及び第2の先行文献の技術の問題点は、半導体基板を研磨によって除去するので、剛体の保持基板が必要になる点である。そのため最終基板への接合を全面一括で行うことが必要となる。つまり、接合する前に最終的に必要となる部分以外の半導体膜を全て除去しておかなければならず、非常に無駄が多くなってしまふ。また、接合される部分は機能層にすぎないので、接合後に半導体プロセスを施す必要がある。したがって、目的の半導体素子の配置密度があまり大きくない場合などは、最終基板ごと処理することで極めて無駄が多くなる。

【0009】本発明は、ある半導体素子を当該半導体素子の材質とは異なる材質の部材上に形成するときにおける上記した問題を解決し、集積回路の製造プロセスにおける無駄を低減することができるとともに、半導体素子と部材との接合を高密度かつ高精度な位置決めで実行することを可能とする半導体集積回路の製造方法、半導体素子部材、電気光学装置、電子機器の提供を目的とする。

【0010】

【課題を解決するための手段】上記した目的を達成するために、本発明の半導体集積回路の製造方法は、犠牲層を有する半導体基板に半導体素子を形成し、少なくとも前記犠牲層に到達する深さを有する分離溝を前記半導体基板に形成し、前記半導体基板にフィルムを貼付し、前記分離溝にエッチング液を注入し、前記犠牲層をエッチングすることにより前記フィルムが貼付された前記半導体素子を前記半導体基板から離す、ことを特徴とする。このような手法によれば、エッチングによって半導体素子を微小タイル形状に基板から切り離して、任意の部材に接合して集積回路を形成することが可能となる。ここで、半導体素子は化合物半導体でもシリコン半導体でもよく、半導体素子が接合される部材はシリコン半導体基板でも化合物半導体基板でもその他の物質でもよい。そこで、本発明によれば、シリコン半導体基板上に、ガリウム・ヒ素製の面発光レーザ又はフォトダイオードなどを形成するというように、半導体素子を当該半導体素子とは材質の異なる基板上に形成することが可能となる。また、半導体基板上で半導体素子を完成させてから微小タイル形状に切り離すので、集積回路を作成する前に、予め半導体素子をテストして選別することが可能となる。また、このような手法によれば、先ず始めに半導体素子が形成される半導体基板については、分離溝の部分を除いた全ての面積を半導体素子として利用することが可能となり、半導体プロセスにおける無駄を低減することができる。また、このような手法によれば、基板に接合される機能層には半導体素子が完成されているので、その接合後に複雑な半導体プロセスを必要としない。したがって、機能層を基板へ接合した後に、当該基板の全

体を処理する必要がないので、製造プロセスの無駄を低減することが可能となる。また、機能層を基板へ接合した後に、当該基板の全体を処理する必要がないので、当該接合方法の制約を緩和することができ、例えば、低耐熱性の接合方法を採用することが可能となる。

【0011】また、本発明の半導体集積回路の製造方法は、前記エッチング液の注入が、前記フィルムにおける前記半導体素子との接触面の反対側の面側に前記エッチング液を供給し、当該反対側の面側に供給されたエッチング液を、当該接触面側にある前記分離溝と当該フィルムで囲まれた空間に移動させることで行うことが好ましい。このような手法によれば、半導体素子にフィルムを貼り付けた状態でエッチングすることができ、そのエッチング完了後も半導体素子をフィルムに貼り付けた状態にしておくことができるので、半導体素子をフィルムに貼り付けた状態でハンドリングすることが可能となる。

【0012】また、本発明の半導体集積回路の製造方法は、前記エッチング液の注入が、前記フィルムにおける前記半導体素子との接触面の反対側の面側に前記エッチング液を供給し、当該反対側の面側に供給されたエッチング液を、当該フィルムに空けられた穴を通して、当該接触面側にある前記分離溝と当該フィルムで囲まれた空間に移動させることで行うことが好ましい。

【0013】また、本発明の半導体集積回路の製造方法は、前記エッチング液を注入したときに、前記フィルムにおける前記半導体素子との接触面に対して前記エッチング液が及ぼす第1圧力と、当該フィルムにおける当該接触面の反対側の面に対して前記エッチング液が及ぼす第2圧力とを、制御することが好ましい。

【0014】また、本発明の半導体集積回路の製造方法は、前記第1圧力と前記第2圧力とを略同一にすることが好ましい。このような手法によれば、第1圧力と第2圧力とが相互に打ち消し合うので、フィルム全体としてはエッチング液から力を受けないこととなる。したがって、フィルムがエッチング液から力を受けることによって、そのフィルムに貼り付けられた半導体素子部分に過大な力が作用して、犠牲層のエッチング完了前にその半導体素子部分が機械的破壊を起こしてしまうことを、防ぐことが可能となる。

【0015】また、本発明の半導体集積回路の製造方法は、前記フィルムにおける前記半導体素子との接触面側の気圧を減圧させた状態で前記エッチング液の注入を行うことが好ましい。このような手法によれば、分離溝とフィルムの下面で囲まれた空間へのエッチング液の注入時において、気泡が発生することを未然に防ぐことが可能となる。

【0016】また、本発明の半導体集積回路の製造方法は、前記分離溝は、前記半導体基板に複数形成され、当該複数の分離溝は複数サイズを有していることが好ましい。

【0017】また、本発明の半導体集積回路の製造方法は、前記エッチング液を注入した後に、前記フィルムに別のフィルムを貼り合わせることが好ましい。

【0018】また、本発明の半導体集積回路の製造方法は、前記半導体基板に、一端が前記分離溝に繋がりと、他端が当該半導体基板の縁に達する排出溝を形成した後、エッチングを行うことが好ましい。

【0019】また、本発明の半導体集積回路の製造方法は、前記半導体基板に、前記分離溝に繋がっている供給溝を形成した後、エッチングを行うことが好ましい。

【0020】また、本発明の半導体集積回路の製造方法は、前記供給溝が、前記分離溝よりも大きく形成されていることが好ましい。このような手法によれば、フィルムの略中央部位に空けられた穴を通ったエッチングは、先ず供給溝に供給される。その後、供給溝から複数の分離溝へエッチング液が供給される。各分離溝に供給されたエッチング液は、犠牲層をエッチングし、そして排出溝を通して、半導体基板の表面から排出される。これらにより、複数の分離溝へ略同時にエッチング液を供給することが可能となり、また、複数の分離溝から略同時にエッチング液を排出することが可能となる。したがって、半導体基板の全体につき、均一に犠牲層のエッチングを進めることが可能となる。また、供給溝、分離溝、排出溝の配置や、溝幅、深さ、さらには、これらのバランスを調整することで、均一性を高めたり、エッチング時間を短縮できる。

【0021】また、本発明の半導体集積部材は、前記半導体集積回路の製造方法によって前記半導体基板から切り離された前記半導体素子からなることを特徴とする。

【0022】また、本発明の電気光学装置は、前記半導体集積部材を備えたことを特徴とする。

【0023】また、本発明の電気光学装置は、マトリクス状に形成された複数の走査線及び複数のデータ線と、前記走査線とデータ線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを有することが好ましい。このような装置によれば、例えば、電気光学装置である液晶ディスプレイの各画素につき、本発明の製造方法を用いて、薄膜トランジスタ（TFT）の代わりに微小シリコントランジスタ（半導体素子）を貼り付けることが可能となる。これにより、TFTを用いた場合に比べて、高性能のスイッチング機能を得ることができる。また、液晶ディスプレイの画素におけるトランジスタ面積の割合は数パーセントであるので、画素の全面をTFTプロセスで作成すると、画素におけるTFT以外のほとんどの部分が無駄になってしまう。一方、本発明の製造方法を用いて、シリコン基板において微小シリコントランジスタ（半導体素子）を高密度に形成し、分離層及び犠牲層で分割して必要なところにだけ液晶ディスプレイの各画素に貼り付ければ、無駄を極力低減することが可能となる。したがって、製造コ

ストを大幅に低減することができる。

【0024】また、本発明の電気光学装置は、発光素子を有することが好ましい。このような装置によれば、例えば、電気光学装置である有機EL（エレクトロ・ルミネッセンス）表示装置の各画素につき、本発明の製造方法を用いて、薄膜トランジスタ（TFT）の代わりに微小シリコントランジスタ（半導体素子）を貼り付けることが可能となる。これにより、TFTを用いた場合に比べて、高性能のスイッチング機能を得ることができる。また、有機EL装置の画素におけるトランジスタ面積の割合は数パーセントであるので、画素の全面をTFTプロセスで作成すると、画素におけるTFT以外のほとんどの部分が無駄になってしまう。一方、本発明の製造方法を用いて、シリコン基板において微小シリコントランジスタ（半導体素子）を高密度に形成し、分離層及び犠牲層で分割して必要なところだけに各画素に貼り付けられ、無駄を極力低減することが可能となる。したがって、製造コストを大幅に低減することができる。

【0025】また、本発明の電子機器は、前記電気光学装置を備えたことを特徴とする。本発明によれば、電子機器のサイズをより小型化することができ、より高速な信号処理を行うことが可能となり、さらに、電気機器の製造コストを低減することも可能となる。

【0026】

【発明の実施の形態】以下、本発明に係る半導体集積回路の製造方法について、図1乃至図10に基づいて説明する。第1の実施形態では、化合物半導体デバイス（化合物半導体素子）をシリコン・LSIチップ上に接合する場合について説明するが、半導体デバイスの種類及びLSIチップの種類に関係なく本発明を適用することができる。なお、本実施形態における「半導体基板」とは、半導体物資から成る部材をいうが、板形状の基板に限らず、どのような形状であっても半導体物資であれば「半導体基板」に含まれる。

【0027】（第1の実施形態）

<第1工程>図1は本実施形態に係る半導体集積回路の製造方法の第1工程を示す概略断面図である。図1において、基板10は、半導体基板であり、本実施形態ではガリウム・ヒ素化合物半導体基板である。基板10における最下位層に、犠牲層11を設けておく。犠牲層11は、アルミニウム・ヒ素（AlAs）からなり、厚さが例えば数百nmの層である。犠牲層11の上層には機能層12を設ける。機能層12の厚さは、例えば1μmから10（20）μm程度とする。そして、機能層12において半導体デバイス（半導体素子）13を作成する。半導体デバイス13としては、例えば発光ダイオード（LED）、面発光レーザ（VCSEL）、フォトダイオード（PD）、高電子移動度トランジスタ（HEMT）、ヘテロバイポーラトランジスタ（HBT）などが挙げられる。これらの半導体デバイス13は、何れも基

板10上に多層のエピタキシャル層を積層して素子が形成されたものである。また、各半導体デバイス13は、電極も形成し、動作テストも行う。

【0028】<第2工程>図2は本実施形態に係る半導体集積回路の製造方法の第2工程を示す概略断面図である。本工程においては、各半導体デバイス13を分割するように分離溝21を形成する。分離溝21は、少なくとも犠牲層11に到達する深さをもつ溝とする。例えば、分離溝の幅及び深さともに、10μmから数百μmとする。また、分離溝21は、後述するところの選択エッチング液が当該分離溝21を流れるように、行き止まりなく繋がっている溝とする。さらに、分離溝21は、基盤のごとく格子状に形成することが好ましい。また、分離溝21相互の間隔を数十μmから数百μmとすることで、分離溝21によって分割・形成される各半導体デバイス13のサイズを、数十μmから数百μm四方の面積をもつものとする。分離溝21の形成方法としては、フォトリソグラフィとウェットエッチングによる方法、またはドライエッチングによる方法を用いる。また、クラックが基板に生じない範囲でU字形溝のダイシングで分離溝21を形成してもよい。分離溝21の形成において、ウェットエッチングでは硫酸系エッチング液が使用でき、ドライエッチングでは塩素ガスが使用できる。分離溝21はパターン寸法が大きく精度を必要としないので、エッチングマスクはフォトリソグラフィでなくてもよい。例えば、エッチングマスクとしてオフセット印刷なども使用できる。また、分離溝21の形成においては、基板10の結晶方位に対する分離溝21の方位も重要となる。

【0029】<第3工程>図3は本実施形態に係る半導体集積回路の製造方法の第3工程を示す概略断面図である。本工程においては、中間転写フィルム31を基板10の表面（半導体デバイス13側）に貼り付ける。中間転写フィルム31は、表面に粘着剤が塗られたフレキシブルなフィルムである。

【0030】<第4工程>図4は本実施形態に係る半導体集積回路の製造方法の第4工程を示す概略断面図である。本工程においては、分離溝21に選択エッチング液41を注入する。即ち、分離溝21と中間転写フィルム31で囲まれた空間に選択エッチング液41を注入する。すると、分離溝21の側面には犠牲層11が露出しているので、選択エッチング液41が犠牲層11をエッチングする。本工程では、犠牲層11のみを選択的にエッチングするために、選択エッチング液41として、アルミニウム・ヒ素に対して選択性が高い低濃度の塩酸を用いる。選択エッチング液41としては低濃度のフッ酸も使えるが、選択性という点で塩酸を使う方が望ましい。分離溝21への選択エッチング液41の注入方法については、後で詳細に説明する。

【0031】<第5工程>図5は本実施形態に係る半導

体集積回路の製造方法の第5工程を示す概略断面図である。本工程においては、第4工程での分離溝21への選択エッチング液41の注入後、所定時間の経過により、犠牲層11のすべてを選択的にエッチングして基板10から取り除く。その後、分離溝21及び犠牲層11のあった部位に純水を注入してリンスする。

【0032】＜第6工程＞図6は本実施形態に係る半導体集積回路の製造方法の第6工程を示す概略断面図である。第5工程で犠牲層11が全てエッチングされると、基板10から機能層12が切り離されることとなる。そして、本工程において、中間転写フィルム31を基板10から引き離すことにより、中間転写フィルム31に貼り付けられている機能層12を基板10から引き離す。これらにより、半導体デバイス13が形成された機能層12は、分離溝21の形成及び犠牲層11のエッチングによって分割されて、所定の形状（例えば、微小タイル形状）の半導体素子（以下、「微小タイル状素子61」という。）とされて、中間転写フィルム31に貼り付け保持されることとなる。ここで、機能層の厚さが例えば1μmから8μm、大きさ（縦横）が例えば数十μmから数百μmであるのが好ましい。また、機能層12が切り離された基板10は、半導体デバイスの形成に再利用することが可能である。そして、犠牲層11を複数層あらかじめ設けておくことで、前述の第1工程から第6工程を繰り返し実行することができ、基板10を再利用して、「微小タイル状素子61」を繰り返し作成することが可能となる。

【0033】＜第7工程＞図7は本実施形態に係る半導体集積回路の製造方法の第7工程を示す概略断面図である。本工程においては、（微小タイル状素子61が貼り付けられた）中間転写フィルム31を移動させることで、最終基板71の所望の位置に微小タイル状素子61をアライメントする。ここで、最終基板71は、シリコン半導体からなり、LSI領域72が形成されている。また、最終基板71の所望の位置には、微小タイル状素子61を接着するための接着剤73を塗布しておく。

【0034】＜第8工程＞図8は本実施形態に係る半導体集積回路の製造方法の第8工程を示す概略断面図である。本工程においては、最終基板71の所望の位置にアライメントされた微小タイル状素子61を、中間転写フィルム31越しにコレット81で押しつけて最終基板71に接合する。ここで、所望の位置には接着剤73が塗布されているので、その最終基板71の所望の位置に微小タイル状素子61が接着される。本工程では、最終基板71への微小タイル状素子61の接着方法として接着剤を用いたが、他の接着方法を用いてもよい。最終基板71への微小タイル状素子61の接着方法（接合方法）については、後で詳細に説明する。

【0035】＜第9工程＞図9は本実施形態に係る半導体集積回路の製造方法の第9工程を示す概略断面図であ

る。本工程においては、中間転写フィルム31の粘着力を消失させて、微小タイル状素子61から中間転写フィルム31を剥がす。中間転写フィルム31の粘着剤は、UV硬化性又は熱硬化性のものにしておく。UV硬化性の粘着剤とした場合は、コレット81を透明な材質にしておき、コレット81の先端から紫外線（UV）を照射することで中間転写フィルム31の粘着力を消失させる。熱硬化性の接着剤とした場合は、コレット81を加熱すればよい。あるいは第6工程の後で、中間転写フィルム31を全面紫外線照射するなどして粘着力を全面消失させておいてもよい。粘着力が消失したとはいえ実際には僅かに粘着性が残っており、微小タイル状素子61は非常に薄く軽いので中間転写フィルム31に保持される。

【0036】＜第10工程＞本工程は、図示していない。本工程においては、加熱処理などを施して、微小タイル状素子61を最終基板71に本接合する。

【0037】＜第11工程＞図10は本実施形態に係る半導体集積回路の製造方法の第11工程を示す概略断面図である。本工程においては、微小タイル状素子61の電極と最終基板71上の回路を配線91により電氣的に繋ぎ、一つのLSIチップを完成させる。最終基板71としては、シリコン半導体のみならず、石英基板又はプラスチックフィルムを適用してもよい。シリコン半導体を最終基板71とした場合は、CCD（電荷結合素子）を有する基板としてもよい。石英などのガラス基板を最終基板71とした場合は、これを液晶ディスプレイ（LCD）、有機EL装置等のディスプレイに利用することができる。また、プラスチックフィルムを最終基板71とした場合は、これを液晶ディスプレイ、有機エレクトロ・ルミネッセンス・パネル、又はICフィルムパッケージなどに利用することができる。

【0038】（第2の実施形態）第2の実施形態では、シリコントランジスタ（シリコン半導体素子）を液晶用ガラス基板へ貼り付ける場合について説明する。本実施形態における第1工程から第11工程は、第1の実施形態における第1工程から第11工程に対応した工程である。ここで、本実施形態と第1の実施形態との間での特に大きな相違点は、第4工程における犠牲層の選択エッチングの方法が異なる点である。

【0039】先ず、第1工程としては、SOI（Silicon On Insulator）基板上に、通常の一般的なプロセスでシリコントランジスタを形成する。ここで、シリコントランジスタの代わりに、シリコンデバイスである集積回路、フォト・ダイオード、トランジスタ又はダイオードを形成してもよい。SOI基板には、犠牲層となるシリコン酸化膜が設けられている。第2工程としては、SOI基板に分離溝を形成する。この分離溝は、少なくともSOI基板における犠牲層をなすシリコン酸化膜に到達する深さを持ち、エッチングなどの方法で形成する。第3

工程としては、中間転写フィルムをSOI基板の表面（シリコントランジスタ側）に貼り付ける。

【0040】第4工程としては、犠牲層をなすシリコン酸化膜のみを選択的にエッチングするために、分離溝へフッ酸又は緩衝フッ酸を注入する。第5工程としては、第4工程の後、所定時間の経過により、シリコン酸化膜の犠牲層をエッチングして、シリコン基板からシリコントランジスタ（シリコン半導体素子）を切り離す。第6工程としては、中間転写フィルムをSOI基板から引き離すことにより、中間転写フィルムに貼り付けられ

【0041】第7工程としては、中間転写フィルムを移動させることで、最終基板の所望の位置にシリコントランジスタをアライメントする。ここで、最終基板は、液晶用ガラス基板である。第8工程としては、最終基板の所望の位置にアライメントされたシリコントランジスタを、中間転写フィルム越しにコレットで押しつけて最終基板に接合する。ここで、所望の位置には接着剤が塗布されているので、その最終基板の所望の位置にシリコントランジスタが接着される。最終基板へのシリコントランジスタの接着方法（接合方法）の詳細については、後で詳細に説明する。

【0042】第9工程としては、中間転写フィルムの粘着力を消失させて、シリコントランジスタから中間転写フィルムを剥がす。第10工程としては、加熱処理などを施して、シリコントランジスタを最終基板に本接合する。第11工程としては、シリコントランジスタの電極と最終基板上の回路を配線で繋ぎ、液晶用ガラス基板及びその駆動回路などを完成させる。本実施形態の第5工程から第11工程では、第1の実施形態の第5工程から第11工程で用いられた技術を適用することができる。

【0043】（選択エッチング液の注入方法）上述の実施形態（特に第3工程、第4工程及び第5工程）で行われる分離溝21への選択エッチング液41の注入方法の詳細について、次に説明する。図11は本実施形態に係る選択エッチング液の注入方法を示す概略断面図である。図12は基板10の表面に形成された分離溝21などを示す概略平面図である。半導体デバイス13が上面に形成されている基板10は、台251の上に置かれている。基板10の上面には、図3、図4及び図11に示すように中間転写フィルム31が貼り付けられている。ここで、中間転写フィルム31の両端は、フィルム保持枠31aによって支持されている。さらに、中間転写フィルム31の上面には、壁252が設置されている。これにより、中間転写フィルム31を底面、壁252を側面として容器を形成している。そして、かかる容器の中（中間転写フィルム31の上面側）に選択エッチング液41がまず注がれ、その容器の中に貯められる。

【0044】中間転写フィルム31の上面側に注がれた

選択エッチング液41は、中間転写フィルム31の略中央部位に空けられた穴を通して、中間転写フィルム31の下面側に移動する。そして、中間転写フィルム31の穴を通った選択エッチング液41は、分離溝21と中間転写フィルム31の下面で囲まれた空間に移動する。ここで、図4に示すように、分離溝21の側面には犠牲層11が露出しているため、犠牲層11に選択エッチング液41が接触することとなり、犠牲層11がエッチングされる。その後、選択エッチング液41は、分離溝21を通して基板10の縁から排出される（図11における矢印Q参照）。

【0045】また、上記エッチングにおいて、中間転写フィルム31の上面に対して選択エッチング液41が及ぼす圧力（第1圧力）と、中間転写フィルム31の下面に対して選択エッチング液41が及ぼす圧力（第2圧力）とを制御する。そして、第1圧力と第2圧力を略同一にする。即ち、中間転写フィルム31の上面が受ける圧力と下面が受ける圧力を略同一にする。

【0046】これにより、第1圧力と第2圧力が相互に打ち消し合うので、中間転写フィルム31全体としては選択エッチング液41から力を受けないこととなる。したがって、中間転写フィルム31が外部（選択エッチング液41）から力を受けることによって、その中間転写フィルム31に貼り付けられた半導体デバイス13部分に過大な力が作用して、犠牲層11のエッチング完了前にその半導体デバイス13部分が機械的破壊を起こしてしまうことを、防ぐことが可能となる。

【0047】また、上記エッチングにおける選択エッチング液41の注入開始時にあっては、中間転写フィルム31の下面側（半導体デバイス13との接触面側）を、減圧させた状態、即ち真空に近づけた状態にする。これにより、分離溝21と中間転写フィルム31の下面で囲まれた空間への選択エッチング液41注入時において、気泡が発生することを未然に防ぐことが可能となる。したがって、犠牲層11の良好なエッチングが可能となる。

【0048】また、上記エッチングにおいて、犠牲層11のエッチングの進行状況を赤外線顕微鏡でリアルタイムに観察して、エッチングの終了時点を検出する。これにより、エッチングが完了していないのに次の工程に進んでしまうことを防ぐことが可能となり、エッチング工程にかかる時間を短縮することも可能となる。

【0049】次に、基板10の全体につき、均一に犠牲層11のエッチングを進める方法について説明する。図12に示すように、基板10の表面には分離溝21が基盤の目のように複数形成されている。そして、複数の分離溝21は、複数サイズの幅、及び複数サイズの深さを有している。

【0050】また、基板10の表面には、一端が分離溝21に繋がっており、他端が基板10の縁に達している

溝である排出溝 21b も形成されている。また、基板 10 の表面には、分離溝 21 に繋がっているが、排出溝 21b には繋がっておらず、かつ基板 10 の縁に達していない溝である供給溝 21a も形成されている。供給溝 21a は、分離溝 21 よりも幅及び深さが大きく、基板 10 表面の略中央部位を横切るように形成されている。なお、供給溝 21a 及び排出溝 21b は、エッチングの開始前に形成しておく。

【0051】このようにすると、中間転写フィルム 31 の略中央部位に空けられた穴を通った選択エッチング液 41 は、先ず供給溝 21a に供給される。その後、供給溝 21a から複数の分離溝 21 へ選択エッチング液 41 が供給される。各分離溝 21 に供給された選択エッチング液 41 は、犠牲層 11 をエッチングし、そして排出溝 21b を通って、基板 10 の表面から排出される。これらにより、複数の分離溝 21 へ略同時に選択エッチング液 41 を供給することが可能となり、また、複数の分離溝 21 から略同時に選択エッチング液 41 を排出することが可能となる。したがって、基板 10 の全体につき、均一に犠牲層 11 のエッチングを進めることが可能となる。

【0052】次に、上記エッチングにおいて、中間転写フィルム 31 の略中央に空けられた穴の後処理につき説明する。上記選択エッチング液 41 の中間転写フィルム 31 の下面側への注入が完了した後に、あるいは上記の犠牲層 11 のエッチングが完了した後に、中間転写フィルム 31 に別のフィルムを一枚貼り合わせる。これにより、中間転写フィルム 31 の略中央に空けられた穴が塞がれ、中間転写フィルム 31 の機械的強度を高めることができる。

【0053】（接合法）上述の実施形態（特に第 7 工程及び第 8 工程）で行われる最終基板 71 への微小タイル状素子 61 の接着方法（接合法）の詳細について、次に説明する。

【0054】＜接着剤による接合＞微小タイル状素子 61 又は最終基板 71 のどちらかに、紫外線及び熱硬化樹脂、熱硬化樹脂、ポリイミド前駆体などの接着剤 73 を塗布しておく。そして、接着剤 73 を挟んで微小タイル状素子 61 と最終基板 71 とを密着させ、はみ出してきた接着剤 73 の部分に紫外線（UV）を照射して、当該部分の接着剤 73 を硬化させて、微小タイル状素子 61 を最終基板 71 上に仮止めする。その他の仮止め方法としては、接着剤 73 を挟んで微小タイル状素子 61 と最終基板 71 とを密着させ、その後中間転写フィルム 31 と微小タイル状素子 61 との間の粘着力を十分に消失させることで、接着剤 73 の粘性で仮止めしてもよい。また、その他の仮止め方法としては、接着剤 73 を挟んで微小タイル状素子 61 と最終基板 71 とを密着させ、この状態でコレット 81 又は最終基板 71 を加熱して、接着剤 73 を硬化させることで仮止めしてもよい。これ

らによる仮止めの後に、中間転写フィルム 31 を微小タイル状素子 61 から剥離し、その後に接着剤 73 部位を加熱して、微小タイル状素子 61 を最終基板 71 上に本接合する。

【0055】接着剤 73 をなす樹脂は熱伝導度が小さいことが問題となるので、ダイヤモンド、シリコン、金などの微粒子をフィラーとして接着剤 73 に混ぜておくことで、接着剤 73 の熱伝導度を向上させておく。また、フィラーの粒子サイズを制御してスペーサとして機能させると、微小タイル状素子 61 と最終基板 71 との間で安定した接着層厚を確保することができ、微小タイル状素子 61 を最終基板 71 に対して平行に接合することができる。

【0056】＜水ガラスによる接合＞最終基板 71 における微小タイル状素子 61 との接合表面に、予めシリコン酸化膜（ SiO_2 ）を形成しておくか、又は最終基板 71 の接合表面をガラスにしておく。そして、けい酸ナトリウム溶液を最終基板 71 の接合表面又は微小タイル状素子 61 に塗布して、微小タイル状素子 61 を最終基板 71 に密着させる。その後、密着部位を摂氏 80 度程度に加熱すると、界面にガラス状物質が形成され、微小タイル状素子 61 が最終基板 71 に接合する。

【0057】＜固体接合-a＞微小タイル状素子 61 における接合面にアルミニウム・ガリウム・ヒ素（AlGaAs）を形成しておき、最終基板 71 の接合表面にシリコン酸化膜（ SiO_2 ）を形成しておくかガラスにしておく。そして、希釈ふっ酸添加純水（希釈 HF）を介して、微小タイル状素子 61 を最終基板 71 に密着させる。これにより、希釈ふっ酸添加純水（希釈 HF）が微小タイル状素子 61 及び最終基板 71 の両方の接合面を僅かに溶かして、微小タイル状素子 61 が最終基板 71 に接合する。

【0058】＜固体接合-b＞まず、微小タイル状素子 61 として、III-V 族半導体多層膜を形成しておく。この微小タイル状素子 61 の接合相手となる最終基板 71 は、シリコンウェハとする。そして、微小タイル状素子 61 の接合面と最終基板 71 の接合面とのそれぞれを、硫酸系の混合液で処理する。そうすると、その接合面は薄い OH 基で覆われる。次に、この接合同士を室温大気中で密着させると、その表面の OH 基同士が水素結合を形成し、微小タイル状素子 61 が最終基板 71 に仮止めされる。次に、仮止めされた微小タイル状素子 61 及び最終基板 71 を水素ガス中でアニールして、酸素を介した結合で本結合する。

【0059】＜陽極接合＞微小タイル状素子 61 と最終基板 71 を密着させ、微小タイル状素子 61 と最終基板 71 の間に 500 ボルトから 2000 ボルトの電圧を加え、密着部位を加熱して、微小タイル状素子 61 を最終基板 71 に接合する。通常は摂氏 400 度程度の温度が接合に必要となるが、本実施形態の場合は中間転写フィ

ルム 3 1 の耐熱温度が接合時の加熱温度の上限となる。

【0060】＜選択的に一括して接合する＞図 1 3 は本接合方法を示す概略断面図である。中間転写フィルム 3 1 はその両端をフィルム保持枠 3 1 a によって支持されている。また、中間転写フィルム 3 1 には、複数の微小タイル状素子 6 1 (本図では示していない) が所定の間隔を空けて貼り付けられている。ここで、各微小タイル状素子 6 1 は、中間転写フィルム 3 1 における図面の下側の面 (コレット 8 1' が接触する面の反対側の面) であって、複数のコレット 8 1' それぞれの接触する部位の反対側の部位に、それぞれ貼り付けられている。そして、複数のコレット 8 1' を同時に最終基板 7 1 側 (図面下方) に移動させることで、同時に複数の微小タイル状素子 6 1 を中間転写フィルム 3 1 を介して最終基板 7 1 に押し付け、同時に複数の微小タイル状素子 6 1 を最終基板 7 1 に接合する。ここで、複数のコレット 8 1' を同時に最終基板 7 1 側に移動させるときに、中間転写フィルム 3 1 のコレット 8 1' 側の面について減圧することで、中間転写フィルム 3 1 を矢印 P の向きに吸引し、中間転写フィルム 3 1 を矢印 P の向きに凹ませる。これにより、コレット 8 1' で押される各微小タイル状素子 6 1 以外のもの (例えば、他の微小タイル状素子 6 1 又は中間転写フィルム 3 1 など) が最終基板 7 1 に接触することを防ぐことができる。

【0061】また、上述の＜選択的に一括して接合する＞方法によれば、中間転写フィルム 3 1 に貼り付けられた複数の微小タイル状素子 6 1 の中から、所望の微小タイル状素子 6 1 を一つ又は複数選択して、選択した微小タイル状素子 6 1 を同時に複数個、最終基板 7 1 に接合することが可能となる。これらにより、最終基板 7 1 に接合する微小タイル状素子 6 1 の位置を高精度に調整することが可能となるとともに、複数の微小タイル状素子 6 1 を高密度に最終基板 7 1 に接合することが可能となる。

【0062】これらにより、上述の実施形態の製造方法によれば、半導体素子を、モノリシックプロセスでは製造困難な組み合わせの半導体基板上に、あたかもモノリシック的に形成することが可能となる。シリコン半導体基板上に、ガリウム・ヒ素製の面発光レーザ、フォトダイオード又は高電子移動度トランジスタなどを設けた

合されている。ここで、従来の実装技術では、ハンドリングできるチップサイズが (厚さ数十 μm × 面積数百 μm^2) が限界となっている。したがって、フォトダイオードチップ 101 a、面発光レーザチップ 101 b 及び高電子移動度トランジスタチップ 101 c のサイズは、(厚さ数十 μm × 面積数百 μm^2) 以上となる。

【0063】図 1 4 は、本実施形態の製造方法で作成した集積回路の一例を示す模式斜視図である。最終基板 7 1 であるシリコン LSI チップは LSI 領域 7 2 を有している。そして、最終基板 7 1 の表面には、フォトダイオードタイル 6 1 a、面発光レーザタイル 6 1 b 及び高速動作トランジスタ (MESFET、HBT、HEMT を含む) タイル 6 1 c が接合されている。ここで、フォトダイオードタイル 6 1 a、面発光レーザタイル 6 1 b 及び高速動作トランジスタタイル 6 1 c は、微小タイル状素子 6 1 として、第 1 の実施形態の製造方法で作成され接合されたものである。したがって、フォトダイオードタイル 6 1 a、面発光レーザタイル 6 1 b 及び高速動作トランジスタタイル 6 1 c のサイズは、(厚さ数 μm × 面積数十 μm^2) にすることが可能となる。そこで、本実施形態の製造方法によれば、モノリシックで形成した場合と同程度の小さいサイズの半導体素子 (微小タイル状素子 6 1) を、任意の種類の基板 (例えば、シリコン、石英、サファイヤ、金属、セラミックス及びプラスチックフィルムなどの基板) 上に形成することが可能となる。

【0064】また、上述の実施形態の製造方法によれば、半導体基板 (基板 10) 上で、半導体素子 (半導体デバイス 13) を完成させてから、微小タイル状素子 6 1 に加工するので、半導体素子につき予めテストして選別することができる。

【0065】また、上述の実施形態の製造方法によれば、微小タイル状素子 6 1 の作成もとの半導体基板 (基板 10) については、分離溝 2 1 の部分を除き全て半導体デバイス 13 (微小タイル状素子 6 1) として利用できる。したがって、半導体基板 (基板 10) の利用面積効率を高めることが可能となり、製造コストを低減することができる。

【0066】また、上述の実施形態の製造方法によれば、微小タイル状素子 6 1 がフレキシブルな中間転写フィルム 3 1 にマウントされるので、各微小タイル状素子 6 1 を選んで最終基板 7 1 に接合することができる。

【0067】また、上述の実施形態の製造方法によれば、微小タイル状素子 6 1 が半導体素子として完成した状態で最終基板 7 1 に接合されるので、その接合後に複雑な半導体プロセスを必要としない。したがって、微小タイル状素子 6 1 の最終基板 7 1 への接合後に、最終基板 7 1 の全体を処理する必要がないので、製造プロセスの無駄を低減することが可能となる。また、微小タイル状素子 6 1 の最終基板 7 1 への接合後に、複雑な半導体

プロセスを必要としないので、その微小タイル状素子61の接合方法の制約が緩くなり、例えば、低耐熱性の接合方法を採用することが可能となる。

【0068】（応用例）以下、本発明に係る半導体集積回路の製造方法を使用して作成された半導体素子部材の応用例について説明する。図15は、本発明の第1の応用例を示し、(a)は模式斜視図であり、(b)は模式断面図である。第1の応用例としては、上述の第1の実施形態の方法を用いて、最終基板71であるシリコンLSI上に面発光レーザ(VCSEL)タイル61b及び

フォトダイオード(PD)タイル61aを設ける。ここで、最終基板71上には、受信用IC領域72aと、送信用IC領域72bとが形成されている。また、最終基板71には、2本の光ファイバー74が接続されている。面発光レーザタイル61bから発せられた光パルスは光ファイバー74に介して伝送され、フォトダイオードタイル61aは光ファイバー74から伝送されてきた光パルスを受信する。

【0069】これらにより、光パルスを用いて最終基板71(シリコンLSI)の外部とデータを送受信することが可能となる。したがって、電気接続できない所とのデータの送受信が可能となるのみならず、電子信号で送受信した場合よりも高速に信号を送受信することが可能となる。さらに、従来よりもフォトダイオードタイル61a及び面発光レーザタイル61bのサイズを小さくすることができるとともに、フォトダイオードタイル61aと面発光レーザタイル61bとの間隔も狭くすることができる。これにより、かかる通信機器を小型にすることができる。

【0070】第2の応用例としては、上述の第1の実施形態の方法を用いて、シリコンLSI上に化合物半導体ヘテロバイポーラトランジスタ(HBT)を設ける。そして、携帯電話などの構成部品として、HBTによる高速アナログアンプをシリコンICに内蔵させることで、配線長が短縮されるので回路の高速動作が可能となる。また、微小タイル状素子61の作成もとの基板10では、分離溝21の部分を除き全て半導体デバイス13(微小タイル状素子61)として利用できる。したがって、高価なガリウム・ヒ素基板の利用面積効率を高めることが可能となり、製造コストを低減することができる。

【0071】第3の応用例としては、電気光学装置である液晶ディスプレイの各画素につき、本発明の製造方法を用いて、薄膜トランジスタ(TFT)の代わりに、微小シリコントランジスタを貼り付ける。即ち、上述の第2の実施形態の方法を用いて、液晶用ガラス基板へシリコントランジスタを貼り付ける。これにより、TFTを用いた場合に比べて、高性能のスイッチング機能を得ることができる。上述の第2の実施形態の製造方法を用いて、シリコン基板において微小シリコントランジスタを

高密度に形成し、分離層及び犠牲層で分割して必要なところにだけ貼り付ければ、無駄を極力低減することが可能となる。したがって、製造コストを大幅に低減することができる。

【0072】第4の応用例としては、電気光学装置である有機EL(エレクトロ・ルミネッセンス)表示装置の各画素につき、本発明の製造方法を用いて、薄膜トランジスタ(TFT)の代わりに、微小シリコントランジスタを貼り付ける。以下に、この電気光学装置の製造方法について詳細に説明する。

【0073】（電気光学装置）以下、本実施形態の応用例に係る電気光学装置について図16を参照しながら説明する。図16は本実施形態の電気光学装置である有機EL装置の一例を示す断面図である。図16において、有機EL装置1は、光を透過可能な基板(光透過層)2と、基板2の一方の面側に設けられ一対の陰極(電極)7及び陽極(電極)8に挟持された有機エレクトロルミネッセンス材料からなる発光層5と正孔輸送層6とからなる有機EL素子(発光素子)9と、封止基板320を有している。また、必要に応じて、基板1と有機EL素子9との間に積層されている低屈折率層及び封止層とを備えている。低屈折率層は封止層より基板2側に設けられている。

【0074】ここで、図16に示す有機EL装置1は、発光層5からの発光を基板2側から装置外部に取り出す形態であり、基板2の形成材料としては、光を透過可能な透明あるいは半透明材料、例えば、透明なガラス、石英、サファイア、あるいはポリエステル、ポリアクリレート、ポリカーボネート、ポリエーテルケトンなどの透明な合成樹脂などが挙げられる。特に、基板2の形成材料としては、安価なソーダガラスが好適に用いられる。一方、基板と反対側から発光を取り出す形態の場合には、基板は不透明であってもよく、その場合、アルミナ等のセラミック、ステンレス等の金属シートに表面酸化などの絶縁処理を施したもの、熱硬化性樹脂、熱可塑性樹脂などを用いることができる。

【0075】陽極8は、インジウム錫酸化物(ITO: Indium Tin Oxide)等からなる透明電極であって光を透過可能である。正孔輸送層6は、例えば、トリフェニルアミン誘導体(TPD)、ピラゾリン誘導体、アリールアミン誘導体、スチルベン誘導体、トリフェニルジアミン誘導体等からなる。具体的には、特開昭63-70257号、同63-175860号公報、特開平2-135359号、同2-135361号、同2-209988号、同3-37992号、同3-152184号公報に記載されているもの等が例示されるが、トリフェニルジアミン誘導体が好ましく、中でも4,4'-ビス(N(3-メチルフェニル)-N-フェニルアミノ)ピフェニルが好適とされる。

【0076】なお、正孔輸送層に代えて正孔注入層を形

成するようにしてもよく、さらに正孔注入層と正孔輸送層を両方形成するようにしてもよい。その場合、正孔注入層の形成材料としては、例えば銅フタロシアニン(CuPc)や、ポリテトラヒドロチオフェニルフェニレンであるポリフェニレンビニレン、1,1-ビス-(4-N,N-ジトリルアミノフェニル)シクロヘキサン、トリス(8-ヒドロキシキノリノール)アルミニウム等が挙げられるが、特に銅フタロシアニン(CuPc)を用いるのが好ましい。

【0077】発光層5の形成材料としては、低分子の有機発光色素や高分子発光体、すなわち各種の蛍光物質や燐光物質などの発光物質、Alq₃(アルミキレート錯体)などの有機エレクトロルミネッセンス材料が使用可能である。発光物質となる共役系高分子の中ではアリーレンビニレン又はポリフルオレン構造を含むものなどが特に好ましい。低分子発光体では、例えばナフタレン誘導体、アントラセン誘導体、ペリレン誘導体、ポリメチン系、キサテン系、クマリン系、シアニン系などの色素類、8-ヒドロキノリンおよびその誘導体の金属錯体、芳香族アミン、テトラフェニルシクロペンタジエン誘導体等、または特開昭57-51781、同59-194393号公報等に記載されている公知のものが使用可能である。陰極7はアルミニウム(Al)やマグネシウム(Mg)、金(Au)、銀(Ag)等からなる金属電極である。

【0078】なお、陰極7と発光層5との間に、電子輸送層や電子注入層を設けることができる。電子輸送層の形成材料としては、特に限定されることなく、オキサジアゾール誘導体、アントラキノジメタンおよびその誘導体、ベンゾキノロンおよびその誘導体、ナフトキノロンおよびその誘導体、アントラキノロンおよびその誘導体、テトラシアノアンスラキノジメタンおよびその誘導体、フルオレノン誘導体、ジフェニルジシアノエチレンおよびその誘導体、ジフェノキノロン誘導体、8-ヒドロキシキノリンおよびその誘導体の金属錯体等が例示される。具体的には、先の正孔輸送層の形成材料と同様に、特開昭63-70257号、同63-175860号公報、特開平2-135359号、同2-135361号、同2-209988号、同3-37992号、同3-152184号公報に記載されているもの等が例示され、特に2-

【0079】図示しないが、本実施形態の有機EL装置1はアクティブマトリクス型であり、実際には複数のデータ線と複数の走査線とが格子状に基板2に配置される。そして、データ線や走査線に区画されたマトリクス状に配置された各画素毎に、従来は、スイッチングトランジスタやドライビングトランジスタ等の駆動用TFT

を介して上記の有機EL素子9が接続されている。そして、データ線や走査線を介して駆動信号が供給されると電極間に電流が流れ、有機EL素子9の発光層5が発光して基板2の外側面に光が射出され、その画素が点灯する。

【0080】ここで、本実施形態では、従来、各画素毎に設けられていたスイッチングトランジスタやドライビングトランジスタ等の駆動用TFTの代わりに、各画素毎に、本発明の微小シリコントランジスタを貼り付ける。この微小シリコントランジスタを貼り付けは、上述の第1工程から第11工程で示した製造方法で行う。

【0081】これにより、TFTを用いた場合に比べて、高性能のスイッチング機能を得ることができ、高速に表示状態を変更することができる有機EL装置1を製造することが可能となる。

【0082】次に、本実施形態の応用例に係る電気光学装置の具体的な構成例について図17を参照しながら説明する。図17は本実施形態に係る電気光学装置を、有機エレクトロルミネッセンス素子を用いたアクティブマトリクス型の表示装置(電気光学装置)に適用した場合の一例を示すものである。

【0083】この有機EL装置S1は、回路図である図17に示すように基板上に、複数の走査線131と、これら走査線131に対して交差する方向に延びる複数の信号線132と、これら信号線132に並列に延びる複数の共通給電線133とがそれぞれ配線されたもので、走査線131及び信号線132の各交点毎に、画素(画素領域素子)ARが設けられて構成されたものである。

【0084】信号線132に対しては、シフトレジスタ、レベルシフタ、ビデオライン、アナログスイッチを備えるデータ線駆動回路390が設けられている。一方、走査線131に対しては、シフトレジスタ及びレベルシフタを備える走査線駆動回路380が設けられている。また、画素領域ARの各々には、走査線131を介して走査信号がゲート電極に供給される第1のトランジスタ322と、この第1のトランジスタ322を介して信号線132から供給される画像信号を保持する保持容量capと、保持容量capによって保持された画像信号がゲート電極に供給される第2のトランジスタ324と、この第2のトランジスタ324を介して共通給電線133に電気的に接続したときに共通給電線133から駆動電流が流れ込む画素電極323と、この画素電極(陽極)323と対向電極(陰極)222との間に挟み込まれる発光部(発光層)360とが設けられている。

【0085】ここで、第1のトランジスタ322及び第2のトランジスタ324は、上述の第1工程から第11工程で示した製造方法で有機EL装置S1の基板上に貼り付けられた微小シリコントランジスタである。

【0086】このような構成のもとに、走査線131が駆動されて第1のトランジスタ322がオンとなると、

そのときの信号線 132 の電位が保持容量 cap に保持され、該保持容量 cap の状態に応じて、第 2 のトランジスタ 324 の導通状態が決まる。そして、第 2 のトランジスタ 324 のチャネルを介して共通給電線 133 から画素電極 323 に電流が流れ、さらに発光層 360 を通じて対向電極 222 に電流が流れることにより、発光層 360 は、これを流れる電流量に応じて発光するようになる。

【0087】（電子機器）上記実施形態の電気光学装置を備えた電子機器の例について説明する。図 18 は、携帯電話の一例を示した斜視図である。図 18 において、符号 1000 は携帯電話本体を示し、符号 1001 は上記の電気光学装置を用いた表示部を示している。

【0088】図 19 は、腕時計型電子機器の一例を示した斜視図である。図 19 において、符号 1100 は時計本体を示し、符号 1101 は上記の電気光学装置を用いた表示部を示している。

【0089】図 20 は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図 20 において、符号 1200 は情報処理装置、符号 1202 はキーボードなどの入力部、符号 1204 は情報処理装置本体、符号 1206 は上記の電気光学装置を用いた表示部を示している。

【0090】図 18 から図 20 に示す電子機器は、上記実施形態の電気光学装置を備えているので、表示品位に優れ、特に、高速応答で明るい画面の有機 EL 表示部を備えた電子機器を実現することができる。また、上記実施形態の製造方法によって、従来のものよりも電子機器を小型化することができる。さらにまた、上記実施形態の製造方法によって、製造コストを従来のものよりも低減することができる。

【0091】なお、本発明の技術範囲は上記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能であり、実施形態で挙げた具体的な材料や層構成などはほんの一例に過ぎず、適宜変更が可能である。

【0092】

【発明の効果】以上の説明で明らかなように、本発明によれば、半導体基板上に形成した半導体素子を当該半導体基板から切り離して、任意の部材に接合して、集積回路を形成することが可能となる。

【図面の簡単な説明】

【図 1】 第 1 の実施形態に係る半導体集積回路の製造方法の第 1 工程を示す概略断面図である。

【図 2】 同上の製造方法の第 2 工程を示す概略断面図である。

【図 3】 同上の製造方法の第 3 工程を示す概略断面図である。

【図 4】 同上の製造方法の第 4 工程を示す概略断面図である。

【図 5】 同上の製造方法の第 5 工程を示す概略断面図である。

【図 6】 同上の製造方法の第 6 工程を示す概略断面図である。

【図 7】 同上の製造方法の第 7 工程を示す概略断面図である。

【図 8】 同上の製造方法の第 8 工程を示す概略断面図である。

【図 9】 同上の製造方法の第 9 工程を示す概略断面図である。

【図 10】 同上の製造方法の第 11 工程を示す概略断面図である。

【図 11】 同上の製造方法における選択エッチング液の注入方法を示す概略断面図である。

【図 12】 基板 10 の表面に形成された分離溝 21 などを示す概略平面図である。

【図 13】 同上の製造方法に適用する接合方法の一例を示す概略断面図である。

【図 14】 本発明の製造方法で作成した集積回路の一例を示す模式斜視図である。

【図 15】 本発明の応用例を示し、(a) は模式斜視図であり、(b) は模式断面図である。

【図 16】 本実施形態の電気光学装置の概略断面図である。

【図 17】 アクティブマトリクス型の表示装置を示す回路図である。

【図 18】 本実施形態の電気光学装置を備えた電子機器の一例を示す図である。

【図 19】 本実施形態の電気光学装置を備えた電子機器の一例を示す図である。

【図 20】 本実施形態の電気光学装置を備えた電子機器の一例を示す図である。

【図 21】 従来のハイブリッド集積回路の一例を示す模式斜視図である。

【符号の説明】

- 10 基板
- 11 犠牲層
- 12 機能層
- 13 半導体デバイス（半導体素子）
- 21 分離溝
- 21a 供給溝
- 21b 排出溝
- 31 中間転写フィルム
- 31a フィルム保持枠
- 41 選択エッチング液
- 61 微小タイル状素子
- 61a フォトダイオードタイル
- 61b 面発光レーザタイル
- 61c 高速動作トランジスタタイル
- 71 最終基板

23

24

72 LSI領域

73 接着剤

81、81' コレット

91 電氣的配線

101a フォトダイオードチップ

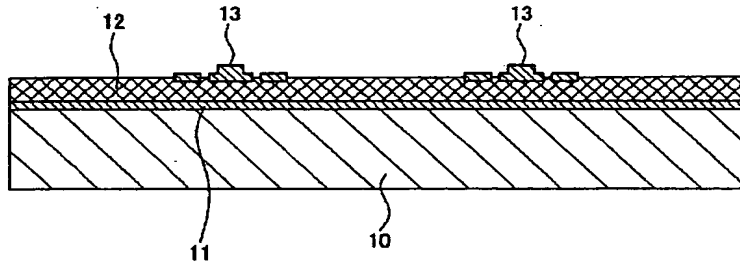
101b 面発光レーザーチップ

101c 高電子移動度トランジスタチップ

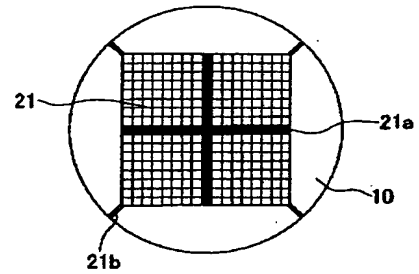
111 シリコンLSIチップ

112 LSI領域

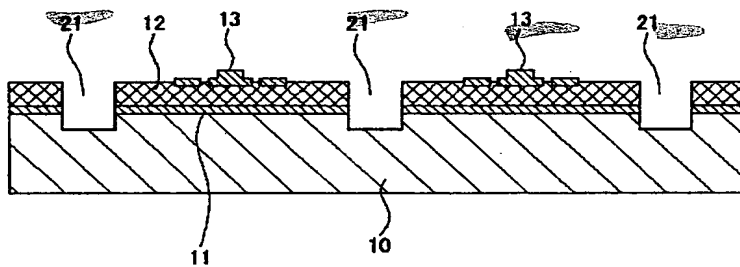
【図1】



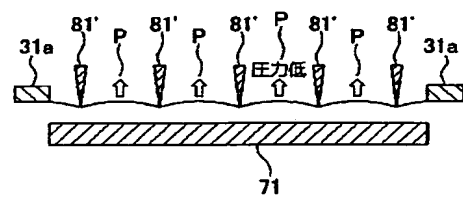
【図12】



【図2】

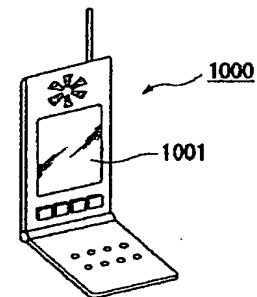
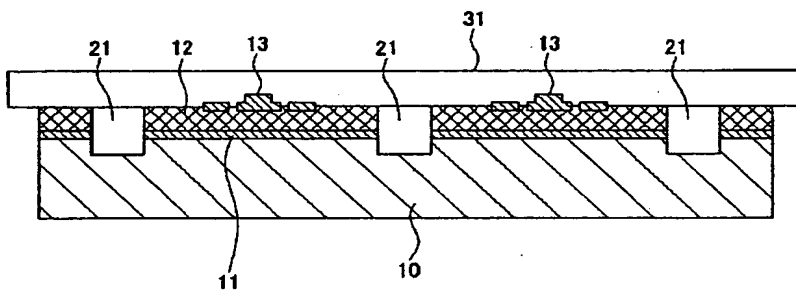


【図13】



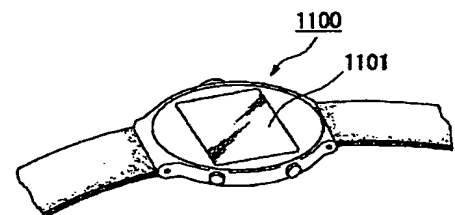
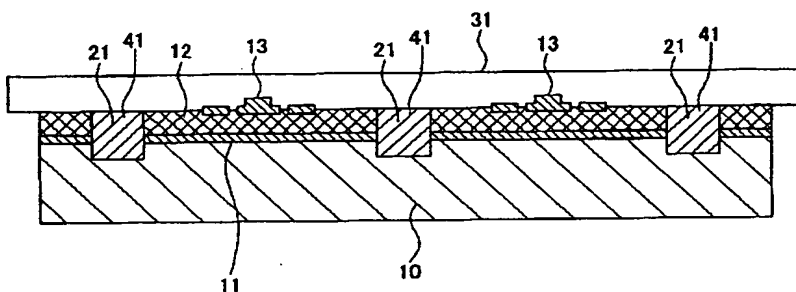
【図18】

【図3】

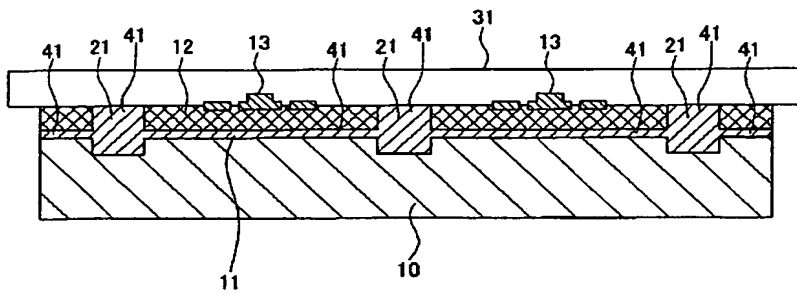


【図19】

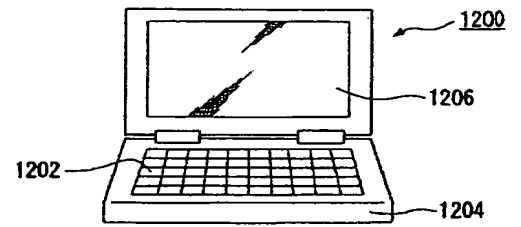
【図4】



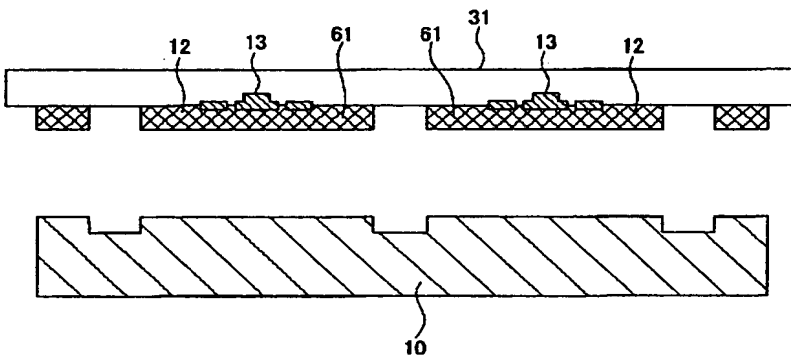
【図 5】



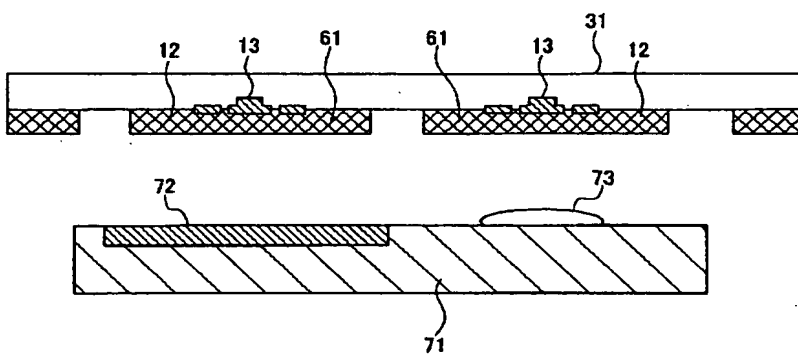
【図 20】



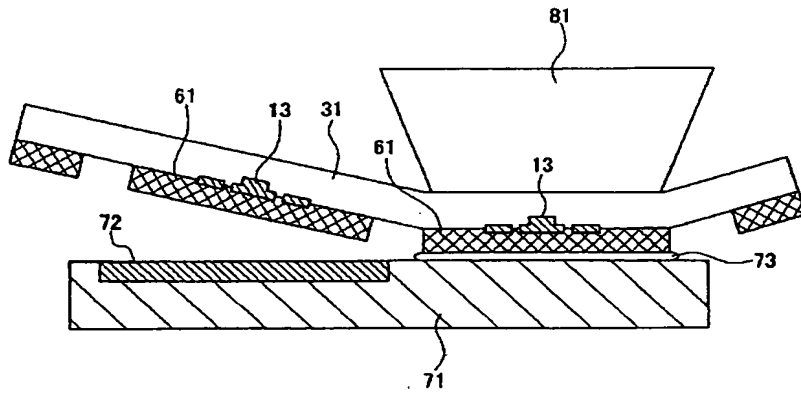
【図 6】



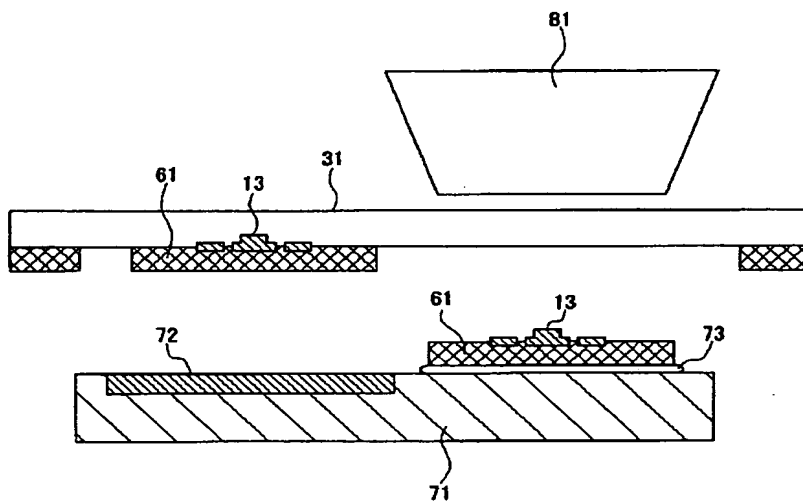
【図 7】



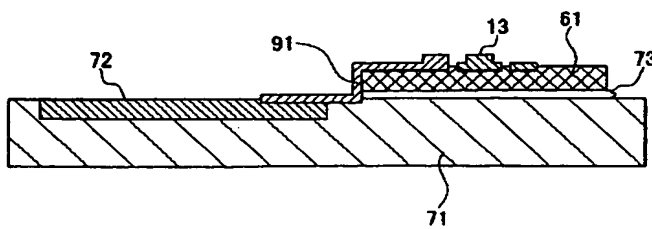
【図 8】



【図 9】



【図 10】



【図 11】

